

Switching circuit

Patent Number: ☐ EP1003272
Publication date: 2000-05-24
Inventor(s): IGARASHI SEIKI (JP); FUJIHIRA TATSUHIKO (JP)
Applicant(s): FUJI ELECTRIC CO LTD (JP)
Requested Patent: ☐ JP2000156978
Application Number: EP19990308724 19991103
Priority Number(s): JP19980326588 19981117
IPC Classification: H02M3/00
EC Classification: H02M3/00, H01L29/78B2
Equivalents:

Abstract

A switching circuit is constructed in such a manner that a condenser is connected in parallel to a switching element such as a MOSFET to perform a resonance operation with an inductance. A super-junction MOSFET with a small ON resistance and a large output capacitance is used as a switching element. Thereby the conduction loss decreases, and the necessity for a parallel condenser is eliminated or the parallel condenser is replaced with a condenser having a smaller capacitance than the parallel condenser.

Data supplied from the esp@cenet database - I2

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-156978

(P2000-156978A)

(43) 公開日 平成12年6月6日 (2000.6.6)

(51) Int. Cl.

H 0 2 M 3/28
3/335

識別記号

F I

H 0 2 M 3/28
3/335

テーム (参考)

T 5 H 7 3 0
A

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号

特願平10-326588

(22) 出願日

平成10年11月17日 (1998. 11. 17)

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 五十嵐 征輝

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(72) 発明者 藤平 龍彦

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 100075166

弁理士 山口 巖 (外 2 名)

Fターム (参考) 5H730 AA14 AA15 AS15 BB26 BB42

BB74 BB75 BB76 DD04 EE02

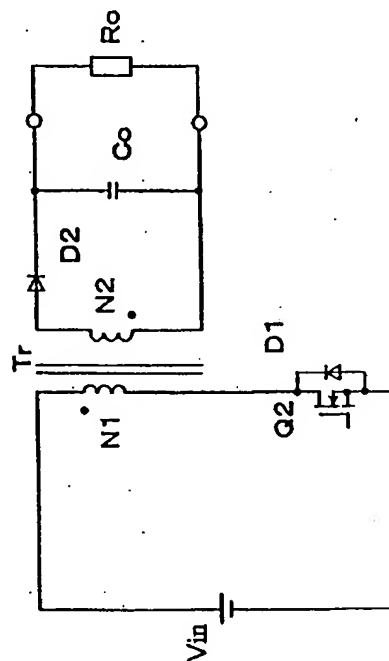
EE03 EE07

(54) 【発明の名称】 ソフトスイッチング回路

(57) 【要約】

【課題】 発生損失を低減して変換効率を上げ、構成を簡略化して小型化などを図る。

【解決手段】 MOSFETなどのスイッチング素子と並列にコンデンサを接続し、リアクトルと共振動作をさせるソフトスイッチング回路において、スイッチング素子Q2としてオン抵抗が小さく出力容量の大きな、スーパージャンクションMOSFETと呼ばれる素子を用いることで通電損失を低減させ、大きな出力容量を利用することで従来設けられていた並列コンデンサ (素子Q2に並設されるコンデンサ) を省略した。



【特許請求の範囲】

【請求項1】 スイッチング素子と並列にコンデンサを接続してインダクタンスとの共振動作を行なうソフトスイッチング回路において、

前記スイッチング素子として、 n ドリフト層を薄い p 層と n 層を順次重ね合わせて構成される、スーパージャンクション構造のMOSFETを用いることを特徴とするソフトスイッチング回路。

【請求項2】 前記並列コンデンサとして前記スーパージャンクション構造のMOSFETの出力容量を利用することにより、前記並列コンデンサを省略するか、または並列コンデンサよりも小容量のコンデンサに置き換え可能にしたことを特徴とする請求項1に記載のソフトスイッチング回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電力変換装置を低ノイズで高効率化するソフトスイッチング回路に関する。

【0002】

【従来の技術】図8にテレビ(TV)などに適用されている電圧共振回路を示す。Q1がMOS(金属酸化膜)型の電界効果トランジスタ(MOSFET)である。すなわち、直流電源 V_{in} にはトランスTrの一次巻線N1とQ1の直列回路が、Q1には逆並列にダイオードD1、並列にコンデンサ C_s が、トランスTrの二次巻線N2にはダイオードD2とコンデンサ C_o が、 C_o には負荷 R_o がそれぞれ接続されている。なお、ダイオードD1としては、Q1の寄生ダイオードを使用する場合もある。

【0003】その動作は以下の通りである。いま、Q1をオンすると、直流電源 V_{in} →トランス一次巻線N1→Q1の経路で、トランスTrに励磁エネルギーを蓄積する。次に、Q1をオフすると、コンデンサ C_s に電流が転流しコンデンサ電圧が0から上昇する。コンデンサ C_s の電圧が入力電圧 V_{in} と出力電圧 $V_o \times N1/N2$ の和に達すると、トランスTrに蓄えられたエネルギーが二次巻線N2→ダイオードD2→コンデンサ C_o の経路で二次側にエネルギーを放出する。次に、トランスTrに蓄えられたエネルギーがなくなると、コンデンサ C_s に蓄えられた電荷は、コンデンサ C_s →トランスTrの励磁インダクタンス→直流電源 V_{in} の経路で放出する。コンデンサ C_s の電圧が0Vとなっても、トランスTrの励磁インダクタンスの電流がダイオードD1を通して直流電源 V_{in} に流れる。

【0004】このダイオードD1に電流を流した状態で、次にQ1をオンする。すると、最初に説明した直流電源 V_{in} →トランス一次巻線N1→Q1の経路で、トランスTrにまた励磁エネルギーを蓄積する。この回路の場合、Q1のオフ時は、並列に接続されているコンデ

ンサ C_s が0Vからの充電となるため、いわゆる零電圧スイッチング(ZVS)となり、スイッチング損失、放射ノイズを発生しない。また、Q1のオン時も並列に接続されているダイオードD1が導通しているときにオンされるためこの場合もZVSとなり、スイッチング損失と放射ノイズを発生しない。また、 C_s に蓄えられたエネルギーも、コンデンサ C_s →トランスTrの励磁インダクタンス→直流電源 V_{in} の経路で放出するときに電源に再生されるため、殆ど損失とはならない。このようにスイッチング損失が小さく、放射ノイズの少ない回路としてTV装置などに利用されている。

【0005】

【発明が解決しようとする課題】図8の回路では、トランスの励磁インダクタンスとコンデンサ C_s の共振電圧がQ1に印加される。このため、TV装置などに適用されるMOSFETの耐圧は、直流電源電圧が120V程度であるにも係わらず、1800Vクラスの高耐圧品が必要となる。MOSFETのオン抵抗は耐圧の2.5乗に比例して大きくなるため、高耐圧のMOSFETはオン抵抗が大きくなり、通電損失が大きくなるといった問題がある。このオン抵抗を下げるためには、大きなチップサイズのMOSFETが必要となり、高価となる。さらに、並列コンデンサも数nF～数10nFの高耐圧コンデンサが必要となり、高価になるという問題もある。したがって、この発明の課題は、回路の簡素化を図るとともに、オン抵抗を小さくし発生損失を小さくして変換効率を上げ、冷却体の小形化を図ることなどにある。

【0006】

【課題を解決するための手段】このような課題を解決すべく、請求項1の発明では、スイッチング素子と並列にコンデンサを接続してインダクタンスとの共振動作を行なうソフトスイッチング回路において、前記スイッチング素子として、 n ドリフト層を薄い p 層と n 層を順次重ね合わせて構成される、スーパージャンクション構造のMOSFETを用いるようにしている。この請求項1の発明においては、前記並列コンデンサとして前記スーパージャンクション構造のMOSFETの出力容量を利用することにより、前記並列コンデンサを省略するか、または並列コンデンサよりも小容量のコンデンサに置き換え可能にすることができる(請求項2の発明)。

【0007】

【発明の実施の形態】図1はこの発明の実施の形態を示す回路図である。図8との相違点はQ1をスーパージャンクション構造のMOSFET(以下、スーパージャンクションMOSFETと言い、SJ MOSFETとも略記する)Q2に置き換えるとともに、コンデンサ C_s を省略した点にある。この回路の動作は、図8の説明でQ1をQ2に、また、 C_s をQ2の出力容量に置き換えれば上記説明がそのまま通用するので、詳細は省略する。すなわち、図1のように構成することにより、スイッ

ング素子 (SJ MOSFET) のオン抵抗が低減して通電損失が減少するとともに、コンデンサ C_s の省略または容量低減が可能となる。

【0008】図2にSJ MOSFETの構造を示す。図示のように、nドリフト層を薄いp層とn層を順次重ね合わせた構造に置き換えたものである。図3に従来のMOSFETに対するSJ MOSFETのオン抵抗比 $R_{on(SJ)}/R_{on(CONV)}$ と、スイッチング時の電荷比 $Q_{on(SJ)}/Q_{on(CONV)}$ 特性を示す。すなわち、SJ MOSFETは高耐圧のMOSFETほど従来のMOSFETに比べてオン抵抗は小さく、電荷量は大きくなる。例えば、1800Vクラスの素子の場合、オン抵抗で約40分の1、電荷量で20倍に増加する。

【0009】なお、スーパージャンクションMOSFET (SJ MOSFET) については、“Jpn. J. Appl. Phys. Vol. 36 (1997), pp. 6254~6262, Part 1. No. 10. October 1997”、または、“Proceedings of 1998 International Symposium on Power Semiconductor Devices & ICs, Kyoto pp. 423~426”などを参照されたい。

【0010】図4に印加電圧 V_{DS} に対する出力容量 C_{OSS} 特性を示す。従来のMOSFET (CONV) は10V程度から C_{OSS} が急激に低下する特性であるが (①参照)、SJ MOSFETは V_{DS} が約200V程度から急激に低下する特性となる (②参照)。図5にターンオフ時のスイッチング動作を示す。従来回路では並列接続された定静電容量 C_s を充電する動作となり、印加電圧が小さいときの電圧上昇率は①のように大きく (急峻に) なる。これに対し、SJ MOSFETの C_{OSS} は V_{DS} が約200V程度までは非常に大きくなるため、印加電圧が小さいときの電圧上昇率は②のように、従来回路に比べ小さく (なだらかに) なる。ターンオフ時のスイッチング損失は、素子の電圧 V_{DS} と電流 I_D との積で示されることから、SJ MOSFETを用いた方が損失がより低減することになる。

【0011】図6に部分共振回路の例を示す。すなわち、直流電源 V_{in} にトランス Tr の一次巻線 N_1 とSJ MOSFET Q_3 との直列回路が、この Q_3 には逆並列にダイオード D_3 、並列にコンデンサ C_s およびトランス Tr の三次巻線 N_3 とダイオード D_9 と Q_4 との直列回路が、トランス Tr の二次巻線 N_2 にはダイオード D_2 とコンデンサ C_o が、またコンデンサ C_o には負荷 R_o がそれぞれ接続されている。ダイオード D_3 は、 Q_3 の寄生ダイオードを使用する場合もある。

【0012】この回路は、 Q_3 をターンオンさせると、先に Q_4 をオンさせてコンデンサ C_s と Q_3 の出力容量を放電し、零電圧の状態では Q_3 をオンさせるため、ZVS動作となる。また、ターンオフもコンデンサ C_s

および Q_3 の出力容量を0Vから充電するため、ZVS動作となる。したがって、この回路も、スイッチング損失が少なく、放射ノイズを小さくできるだけでなく、SJ MOSFET Q_3 を用いることで、従来のMOSFETよりもオン抵抗が減少して通電損失が低減される。また、出力容量が増加するため、コンデンサ C_s の容量を低減することができる。

【0013】図7に電流共振、電圧共振回路 (複合共振回路) の例を示す。すなわち、直流電源 V_{in} にSJ MOSFET Q_5 、 Q_6 の直列回路とコンデンサ C_{s3} 、 C_{s4} の直列回路とを並列に、 Q_5 にはダイオード D_5 とコンデンサ C_{s1} を並列に、 Q_6 にはダイオード D_6 とコンデンサ C_{s2} を並列に、 Q_5 と Q_6 の接続点と C_{s3} と C_{s4} の接続点間にリアクトル L_1 とトランス Tr の一次巻線の直列回路を、トランス Tr の二次巻線、三次巻線にはダイオード D_7 、 D_8 、コンデンサ C_o の整流回路を、コンデンサ C_o には負荷 R_o をそれぞれ接続して構成される。

【0014】この回路も、 Q_5 と Q_6 を交互にオンさせることにより、ZVS (スイッチング) 動作が可能であるが、ここでは、 Q_5 の動作について説明する。すなわち、 Q_5 がオンするときにはコンデンサ C_{s1} が0Vであるため、ZVS動作となる。 Q_5 がターンオフする時には、先に Q_6 をオフさせる。すると、リアクトル L_1 に流れていた電流は $L_1 \rightarrow C_{s1} \rightarrow V_{in} \rightarrow C_{s4} \rightarrow Tr$ の一次巻線の経路に転流し、 C_{s1} の電圧を0にする。この状態で Q_5 をオンさせることで、ZVS動作となる。この回路でもSJ MOSFET Q_5 、 Q_6 を用いることで、従来のMOSFETよりもオン抵抗が減少して通電損失が低減される。また、出力容量が増加するため、コンデンサ C_{s1} 、 C_{s2} の容量を低減することができる。

【0015】以上では、電圧共振回路、部分共振回路、複合共振回路について説明したが、この発明はスイッチング素子と並列にコンデンサを接続して構成される、ソフトスイッチング回路一般に適用することができる。

【0016】

【発明の効果】この発明によれば、スイッチング素子と並列にコンデンサを接続して構成されるソフトスイッチング回路の、上記スイッチング素子のオン抵抗を低減することができるため、通電損失が低減して変換効率を向上することができ、その結果、冷却体などを低減でき装置の小形化が達成される。また、スイッチング素子と並列に接続されるコンデンサを無くすか、または少なくできるため、部品点数が減って小形となり装置の低コスト化を実現することが可能となる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態を示す回路図である。

【図2】スーパージャンクションMOSFETの構造説明図である。

【図3】スーパージャンクションMOSFETのオン抵抗とスイッチング時の電荷説明図である。

【図4】スーパージャンクションMOSFETの出力特性図である。

【図5】スーパージャンクションMOSFETのターンオフ時の動作波形図である。

【図6】この発明の第2の実施の形態を示す回路図である。

【図7】この発明の第3の実施の形態を示す回路図である。

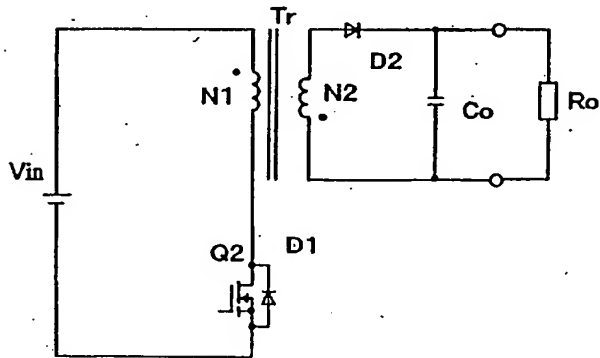
る。

【図8】電圧共振回路の従来例を示す回路図である。

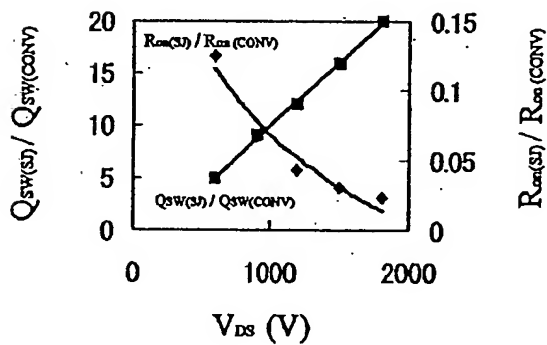
【符号の説明】

V_{in} …直流電源、 $Q1$ 、 $Q4$ …MOSFET、 $Q2$ 、 $Q3$ 、 $Q5$ 、 $Q6$ …スーパージャンクションMOSFET (SJ MOSFET)、 $D1 \sim D9$ …ダイオード、 C_o 、 C_s 、 $C_{S1} \sim C_{S4}$ …コンデンサ、 Tr …トランス、 R_o …抵抗。

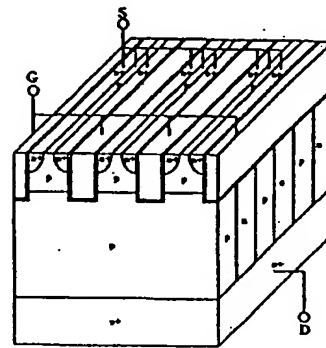
【図1】



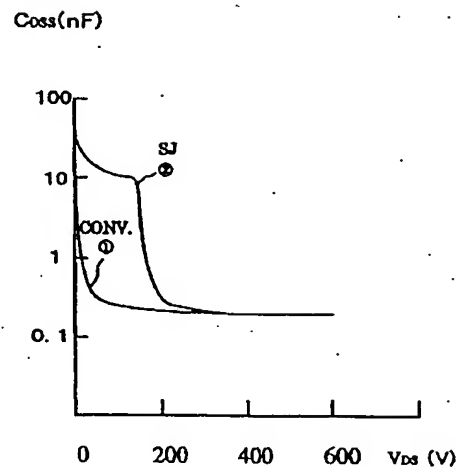
【図3】



【図2】

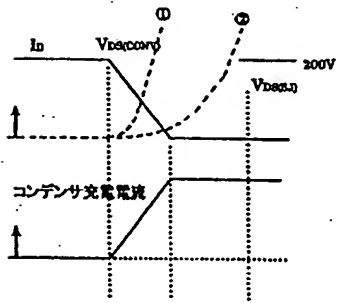


【図4】

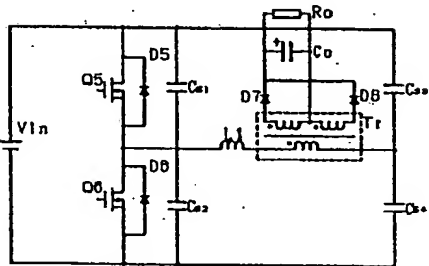


BEST AVAILABLE COPY

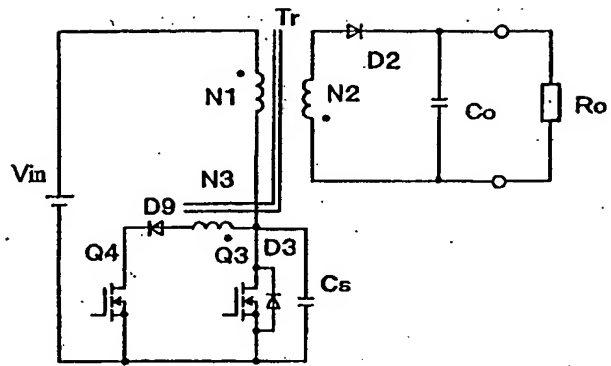
【図5】



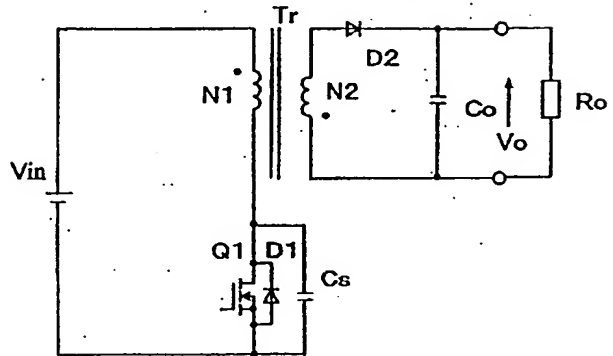
【図7】



【図6】



【図8】



BEST AVAILABLE COPY